

VHDL 설계(초급)

본 과정에서는 기본적인 VHDL 디자인 및 테스트 벤치 작성에 필요한 지식을 배울 수 있으며 3일동안 강의 및 실습이 적절히 분배되어 교육이 제공된다. VHDL 코드의 작성 및 문법체크, 합성 및 시뮬레이션은 자일링스의 FPGA 설계도구인 ISE 를 이용하여 수행되며 간단한 ALU를 내장한 Calculator 를 설계하는 실습이 포함되어 있다. 강의내용은 우선, VHDL 을 구성하는 기본요소를 배우고, 설계한 디자인이 기능적으로 올바른 동작을 하는지 검증하기 위한 코드인 테스트벤치의 기본 개념과 작성방법을 학습한다. 이어서 VHDL 에서 제공하는 각종 데이터 타입과 연산자 그리고 이들로 표현되는 연산식이 다루어진다. VHDL 구문의

대표적인 두 가지인 동시수행문과 순차수행문에 대해 학습하며 하드웨어적인 동시수행을 시뮬레이터가 모델링하는 방법등에 대해서도 다루어진다. 순차수행문의 대표적인 PROCESS 에 대해 살펴본 후 그 안에서 사용되는 각종 제어구문을 학습한다. 또한 로직 알고리즘을 state diagram 으로 표현하고 이로부터 FSM 코드를 작성하는 방법에 대해서도 배운다. ASIC 또는 FPGA 의 cell 또는 primitive 를 모델링하기 위한 VITAL 라이브러리에 대해서도 간략히 다루어지며 VHDL 을 이용한 FPGA 설계와 관련된 가이드들이 소개되며 마지막으로 VHDL 서브프로그램인 Function 과 Procedure 를 학습한다.

Agenda : VHDL 설계(초급)

|| Day 1 ||

- *Course Agenda
- *Hardware Modeling Overview
- *Language Concepts
- ***Lab 1:** Building Hierarchy
- *Introduction to Testbenches
- ***Lab 2:** VHDL Simulation and RTL Verification
- *Signals and Data Types
- *VHDL Operators and Expressions
- ***Lab 3:** Memory and Record

|| Day 2 ||

- *Concurrent and Sequential Statements
- *Advanced Process Statements
- ***Lab 4:** n-bit Binary Counter and RTL Verification
- *Controlled Operation Statements
- ***Lab 5:** Comparator
- *Behavioral to RTL Coding

|| Day 3 ||

- *Finite State Machines
- ***Lab 6:** Arithmetic Logic Unit
- *VITAL: VHDL Initiative Toward ASIC Libraries
- ***Lab 7:** Finite State Machines
- *Targeting Xilinx FPGAs
- *Functions and Procedures
- ***Lab 8:** Calculator

|| 교육 시간 ||

3 일(10:00~17:00)

|| 교육비 ||

600,000 원
(부가세별도, 중식제공)