

Verilog HDL 설계

본 과정에서는 기본적인 Verilog 디자인 및 테스트 벤치 작성에 필요한 지식을 배울 수 있으며 3일동안 강의 및 실습이 적절히 분배되어 교육이 제공된다. VHDL 코드의 작성 및 문법체크, 합성 및 시뮬레이션은 자일링스의 FPGA 설계도구인 ISE 를 이용하여 수행되며 간단한 ALU 를 내장한 Calculator 를 설계하는 실습이 포함되어 있다. 강의내용은 우선, Verilog 를 구성하는 기본요소를 배우고, 설계한 디자인이 기능적으로 올바른 동작을 하는지 검증하기 위한 코드인 테스트벤치의 기본 개념과 작성방법을 학습한다. 이어서 Verilog 에서 제공하는 각종 데이터 타입과 연산자 그리고 이들로 표현되는 연산식이 다루어진다. Verilog 구문의

대표적인 두 가지인 동시 대입문과 프로시저럴 블록에 대해 학습하며 하드웨어적인 동시수행을 시뮬레이터가 모델링하는 방법등에 대해서도 다루어진다. 프로시저럴 블록의 대표적인 always 와 initial 블록에 대해 살펴본 후 그 안에서 사용되는 각종 제어구문을 학습한다. 또한 로직 알고리즘을 state diagram 으로 표현하고 이로부터 FSM 코드를 작성하는 방법에 대해서도 배운다. ASIC 또는 FPGA 의 cell 또는 primitive 를 모델링하기 위한 간단한 지연구문과 verilog 언어의 빌트인 게이트의 사용방법등도 소개된다. 또한 Verilog 을 이용한 FPGA 설계와 관련된 가이드들이 소개되며 마지막으로 Verilog 서브프로그램인 Task 와 Function 도 다루어진다.

Agenda : Verilog HDL 설계

|| Day 1 ||

- *Verilog HDL Introduction
- *Hardware Modeling
- *Verilog Language Concepts
- *Lab 1: Building Hierarchy
- *Gate Level Modeling
- *Lab 2: Writing Gate-Level Models
- *Operators/Expressions

|| Day 2 ||

- *Data-Flow Modeling
- *Behavioral Modeling
- *Lab 3: Writing Behavioral Models
- *Test Fixtures
- *Lab 4: Writing Testbenches
- *Advanced Process Statements
- *Lab 5: Binary Counter and RTL Verification

|| Day 3 ||

- *Finite State Machines
- *Lab 6: State Machines
- *Targeting Xilinx FPGAs
- *Lab 7: Inferring RAM
- *Tasks and Functions
- *Lab 8: Verilog Post-Layout Timing Simulation
- *Course Summary

|| 교육 시간 ||

3 일(10:00~17:00)

|| 교육비 ||

600,000 원
(부가세별도, 중식제공)