

**ISE 를 이용한 FPGA 설계(중고급)**

디자인의 Timing을 개선하기 위해 constraint를 적용할 delay path를 정의하는 방법과 해당 constraint등의 의미와 작성법등을 익힐 수 있다. ISE Project Navigator라는 통합GUI환경 수행했던 각종 Implementation과정 및 옵션적용등을 command line에서 수행하는데 필요한 지식 및 script작성방법등을 배울 수 있다. 또한 대부분의 Xilinx IP와 Corgenerator 생성모듈에 적용된 RPM(Relationally Placed Macro)를 사용자 모듈에 적용하기 위한 RPM작성법도 다루어진다. 그리고 디자인 소스의 일부 변경에 따른 소스의 재 합성 및 Implemetation시 변경되지 않은 부분의

합성결과와 Implementation결과를 보존하는 IDT(Incremental Design Technique)도 다루어진다. 또한 Implementation과정 중 Mapping과 Placement를 인위적으로 수행하는 도구인 Floorplanner 사용법과 FPGA의 Routing채널 구조까지 모든 구조를 그래픽하게 보여주며 편집할 수 있게 해주는 FPGA Editor 사용법도 소개된다. 이 과정에서는 FIFO, PN Generator,FSM등의 모듈로 구성된 Correlatro&Accumulator가 실습 디자인으로 제공되는 다수의 실습과정들이 포함되어 있다.

**Agenda : ISE 를 이용한 FPGA 설계(고급)**

**|| Day 1 ||**

- \*Introduction
- \***Lab 1:** Timing Analyzer, Constraints, and Closure
- \*Section 1: Advanced Control Through Scripting
- \*UCF Editing
- \***Lab 2:** UCF
- \*Command Line Implementation
- \***Lab 3:** Scripting
- \*Creating Your Own RPM
- \***Lab 4:** RPM
- \*Section 2: Optimize Your Design for Xilinx Architecture
- \*Clocking Techniques

**|| Day 2 ||**

- \***Lab 5:** Clocking Lab
- \*Section 3: Timing Enhancement, Fortification, and Preservation
- \*Divide and Conquer Design Techniques
- \*Floorplanner: Effective Layout
- \***Lab 6:** Divide and Conquer
- \*Section 4: Reduce Debug Time
- \*FPGA Editor: Viewing and Editing a Routed Design
- \***Lab 7:** FPGA Editor
- \***Lab 8:** Reduce Clock Period

**|| 교육 시간 ||**

2 일(10:00~17:00)

**|| 교육 비 ||**

500,000 원  
(부가세별도, 중식제공)